

# Programmerbare Kredse

ROM

RAM

PROM

EPROM

EEPROM

PAL, GAL, PLA, PEEL, ASIC

Forord:

Kompendiet er beregnet til brug ved introduktionen af programmerbare kredse i HTX

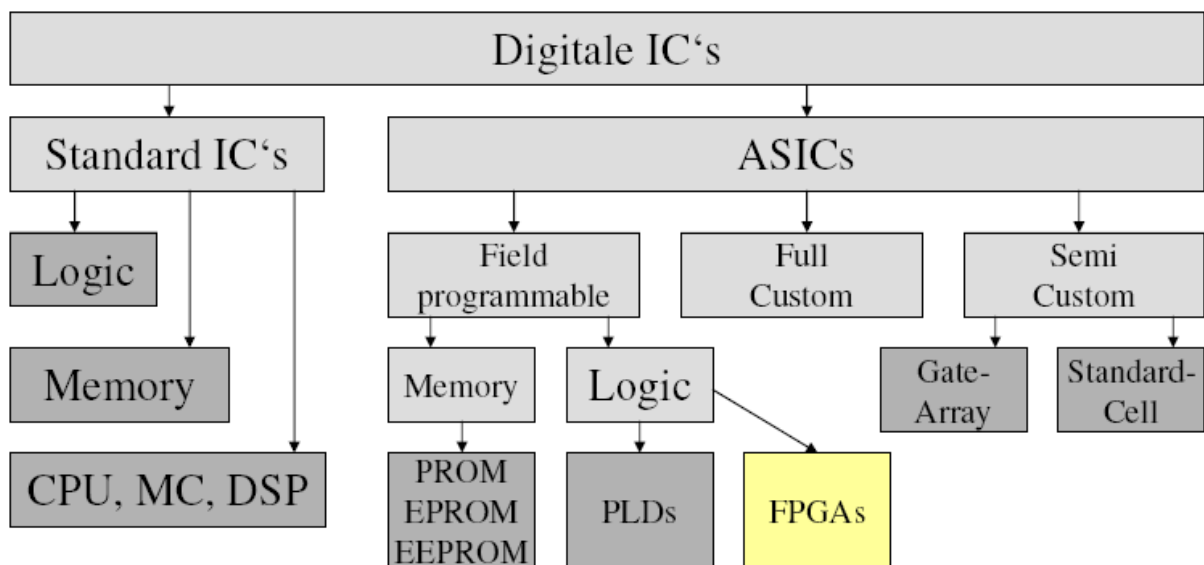
Findes fejl, eller er der tilføjelser, vil jeg gerne have et praj, så der kan ændres i fremtidige udgaver.

Kompendiet er lavet i efteråret 97. Afsnittet om PEEL 18CV8 er revideret efteråret 04.

Valle.

## GENNEMGANG AF PROGRAMMERBARE KREDSE:

I det følgende gives en oversigt med forskellige oplysninger over de gængse, måske allerede kendte programmerbare kredse.



## ROM

Read Only Memory kredse er maskeprogrammeret ved fremstillingen hos IC-fabrikken. Dvs. data er fast indprogrammeret. Kunden sender en fil til fabrikken, og modtager så et antal kredse programmeret med de fremsendte data. ROM-kredse bruges kun ved store styktal. I test-fasen hos kunderne bruges de mere fleksible - og dyrere - kunde-programmerbare kredse. Når et apparat er færdigudviklet, kan man spare på omkostningerne ved at købe de endelige data lagt ind i ROM-kredse. Data i ROM er langtidsholdbare. Typisk fås ROM'er i 4 eller 8 bit parallel output. Type-eksempel: 23x512

## PROM

En PROM er en Programmerbar Read Only Memory, eller OTP, One Time Programmable. Udviklet i 1970. "Brændes" hos brugeren. I kredsen overbrændes nogle "sikringer" = "FUSE" ved programmeringen, heraf også navnet "Fuse-programmable". Kredsene er blanke fra fabrikken. Data holder ca. 10 år. En PROM kaldes også en PLE, ( Programmable Logic Element ). Er hurtige, 25 - 50 nS, fra adressen er sat op på indgangsadressebenene, til data er klar på udgangene.. Typeeksempel: 18S030

## EPROM

Erasable PROM.

Som PROM'en programmeres eller "Brændes" EPROM'er også hos kunden. Men EPROM'erne kan slettes igen med kraftig UV-lys gennem kvartz-vinduet over chip'en i 20 til 30 min. Når den er slettet er alle data = "1" eller alle bytes = "FF"

EPROM'erne kan brændes og slettes fra 1000 til 10000 gange. Fås i NMOS og CMOS teknik. Er opbygget med "Floating Gate Teknik". Er ret langsomme, 200 nS, men nyere typer har ned til 35 nS accesstid. Fås også uden quartz-vindue, og er så billigere, men kan ikke slettes. Typeeksempel: 2716, 27C512 ( CMOS udgave ), 27C4001 ( 4 Mbit )

## EEPROM eller E<sup>2</sup>PROM

Electric Erasable PROM. Programmeres og slettes elektrisk af specialudstyr evt. incircuit eller af kredsløbet hvori den sidder, hvis dette er designet hertil. Bruges fx. i nogle PC-ere som "CMOS-RAM eller i microcontrolere til boot-data, eller til at gemme data, der skal "overleve" et power off.

Fås i både parallelle ( benkompatible med ROM-kredse ) - og serielle typer i ( 8 pin huse ). Nogle kredse skal slettes med en negativ spænding, hvilket kræver DC/DC-konverter på printet. Bruges ikke meget pga. for dårlig teknik. Opbygget med "Floating Gate Teknik". Typer: 28512, 28C512.

## EPROM

Flash memory (both NOR and NAND types) was invented by Dr. **Fujio Masuoka** while working for Toshiba in 1984. According to Toshiba, the name "flash" was suggested by Dr. Masuoka's colleague, Mr. Shoji Ariizumi, because the erasure process of the memory contents reminded him of a flash of a camera.

Enten kan alle eller nogle data-områder ( sektorer ) slettes.

Erase-tid er nogle sekunder. Kan slettes "in-circuit". Er betydelig hurtigere end EEPROM. Opbygget med "Floating Gate Teknik".

Typer: Fra AMD Am29F010 svarende til 27C1000, eller 29F040 ( 27C4000 )

## RAM

Ram-kredse er programmerbare kredse, der taber data når forsyningsspændingen fjernes. Der findes 2 typer:

- STATISKE, der er opbygget fx med en D-FF som hukommelselement for hvert bit.
- DYNAMISKE, hvor hukommelselementet udgøres af en kapacitet på chip-en. Dette medfører imidlertid at data skal "refreshes" jævnligt fordi kondensatorerne ikke er ideelle, dvs. de taber spændingen pga. lækstrøm. Tidligere skulle en processor bruge tid på at læse/skrive til kredsen for at opfriske ladningerne. Nyere typer har Refresh-kredsløb indbygget. Dynamiske RAM er hurtige ( < 100 nS ) og fylder mindre end statiske.

### **NON VOLATILE RAM**

Er RAM der ikke glemmer, når powersupply'en forsvinder. Holder altså data selvom forsyningsspændingen fjernes.

**Eksempler på MÆRKNING af ROM, EPROM og EEPROM.**

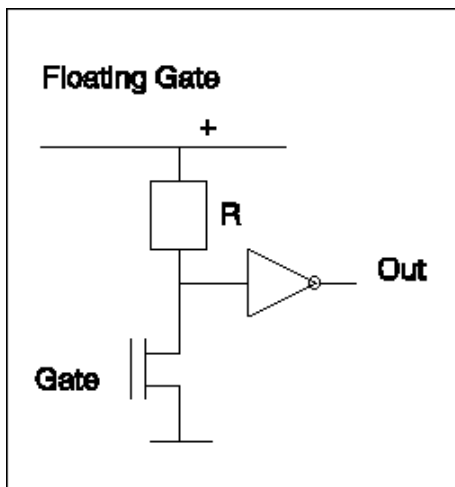
**XXzzYYY-tt**

XX	27	EPROM
XX	28	EEPROM
XX	23	ROM
XX	93	STATISKE RAM
zz	Ingenting	TTL-type, NMOS, ( Fx. 2732 )
zz	“C”	CMOS-type ( Eks: 27C512 )
zz	“F”	Flash-type
YYY	Størrelse	Fx.: 512 = 512 Kbit = 64 Kbyte.
tt	accestime	Typisk 100 - 300 nS

( Ucc = 5 Volt for alle typer! )

**Floating Gate**

EPROMerne er opbygget med “Floating Gate-teknologi”. Princippet vises herunder:



Hver bit huskes af et kredsløb som viste. Når kredsen er slettet, leder Fet-transistoren. Ved programmering opbygges en ladning over kapaciteten på fet-transistorens gate. Dette medfører, at den spærres, og inverterens indgang bliver høj, og udgangen derfor lav. ( dvs. kun de bit, der skal være lav )

**Figuren Fejl! Ukendt argument for parameter.viser princippet i en "Floating Gate".**

**Programmeringsalgoritme.**

Programmeringsalgoritmen er den af fabrikanten foreskrevne måde at “brænde” eller programmere en kredse. Algoritmen er afhængig af type og fabrikat. I det følgende bruges som eksempel den kendte EPROM. Et korrekt udformet programmeringsudstyr kan indstilles til en specifik fabrikants kredse med tilhørende algoritme, så programmeringen udføres korrekt.

### Programmering af EPROM:

Der sættes en høj spænding på PGM-indgangen, ( 12,5, 21, 24 eller 25 Volt, se datablad ) og Ucc sættes på 6 Volt. Adressebenene peger på første ønskede "hylde".

Data sættes op på dataudgangene, ( der nu opfattes som indgange ) i 1 mS

Der kontrolleres om data er "brændt ind ved at læse indholdet. Er det ok, fortsættes med næste adresse, ellers gentages programmeringen i op til 25 gange. Er de læste data endnu ikke lig de indprogrammerede meldes fejl.

Der findes andre algoritmer hvor fx. Ucc = 6,25 V, U<sub>pgm</sub> = 12,75 V og programtiden = 500 uS, men ikke alle typer tåler denne programmeringsmåde.

Med programmeringsudstyr vælges altid den specifikke fabrikants algoritme.

## **ARRAY-PRINCIP I PROMÈr**

PROMÈr og EPROMÈr er efter den traditionelle beskrivelsesmåde forsynet med en række hylde a` 8 skuffer hvori der kan være placeret et "0" eller et "1". Adresseindgangene udvælger så en hylde, hvis indhold "hældes" ud på udgangen. En udgang, fx. "D3" er så høj i alle de adressebit-kombinationer, der peger på en hylde, hvor skuffe 3 har et "1"-tal indprogrammeret.

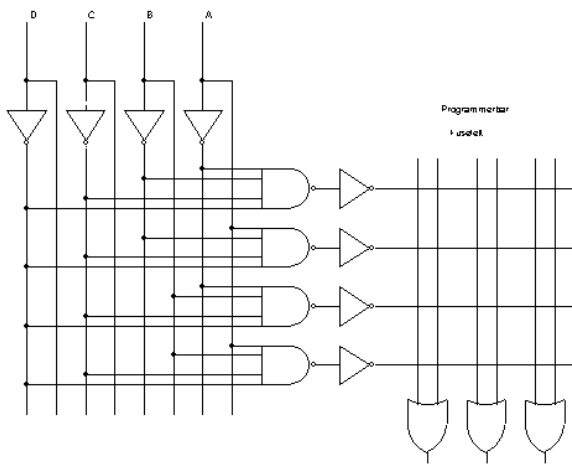
På boolsk udtryk findes:  $D3 = ( \text{adr. komb} ) + ( \text{adr. komb} ) + - + -$

Dette kaldes en "sum of products"

Bruges 4 indgange, der kaldes A, B, C & D ( og de resterende er 0 ) kan fx. have at

$D3 = A*B*C*/D + A*/B*C*D + /A*/B*C*D$  hvor / angiver "inverteret".

Forestiller man sig dette opbygget med gates kunne det se ud som flg. tegning.



Figur 2 Virkemåden af en PROM / EPROM. Der er en fast maske-programmering af AND-kredsløbet, og mulighed for at bestemme / programmere hvilke forbindelser i OR-gate-indgangene der skal være intakte.

En EPROM eller en PROM er i princippet opbygget som viste skitse. Blot er den meget større. Men i stedet for gates er den opbygget så den kan programmeres til at give et højt på en udgang i en eller flere bestemte kombinationer af indgangsvariable.

PROM` er har fast fortrådning / forbindelse af AND-array og programmerbart OR-matrix. På alle andgatene er der både alle indgangsvariable og deres inverterede. Dette giver alle muligheder af "PRODUKT-TERMer",

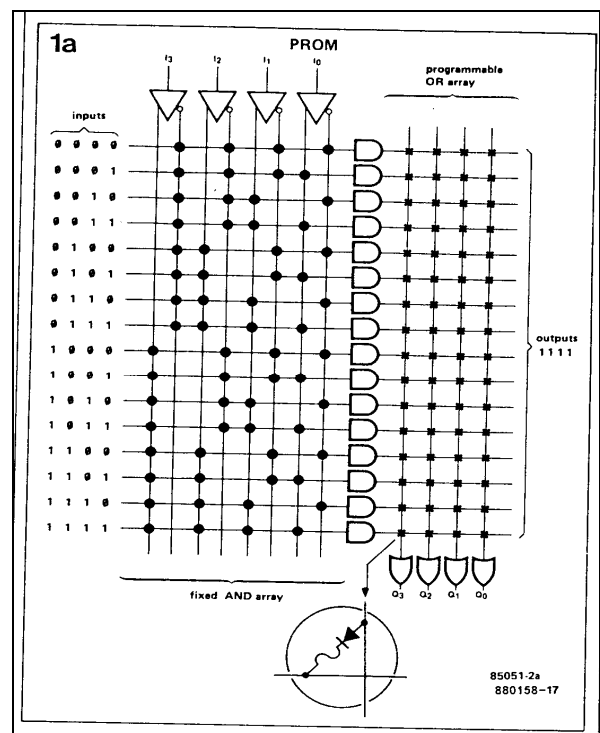
altså alle kombinationer af indgangene AND-et sammen. Samtlige kombinationer af indgangsvariable giver et højt på een og kun én af andgatenes udgange.

Der er altså  $2^x$  andgate, hvor x angiver antal "adresse"- indgange og hver andgate har dobbelt så mange indgange som kredsens adresse-indgange.

I det programmerbare OR-matrix vælges så hvilke kombinationer der skal give et "HØJT" på udgangen.

I viste eksempel ville der ved 4 indgange være  $2^4 = 16$  andgate hver med 8 indgange - og fx. 8 udgange med 8 orgate hver med 16 indgange.

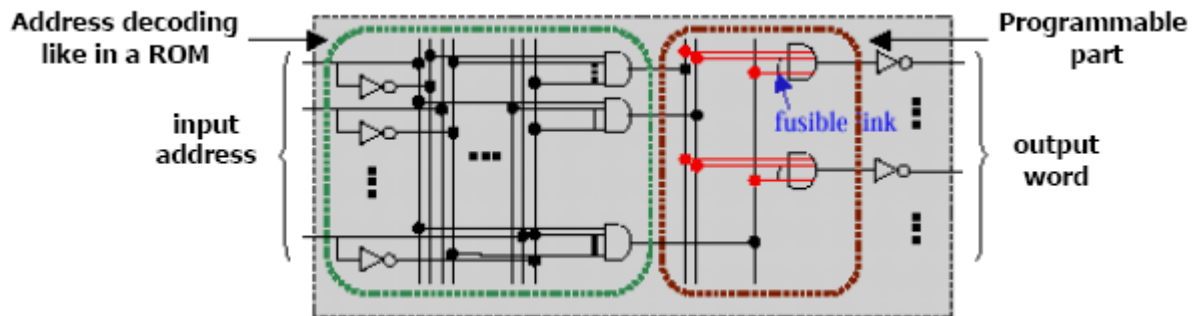
Alle kombinationer af indgangsvariable kaldes "PRODUKTER". Har man et BOOLSK udtryk, hvor et antal produkter er "OR"-et sammen har man en "SUM af PRODUKTER".



Figuren viser en PROM. Bemærk for neden hvor en af de "brændbare" sikringer er forstørret. Hver and-gate har 8 indgange. Blot tegnet som 1.

Figuren ovenfor til højre viser en ikke programmeret PROM.

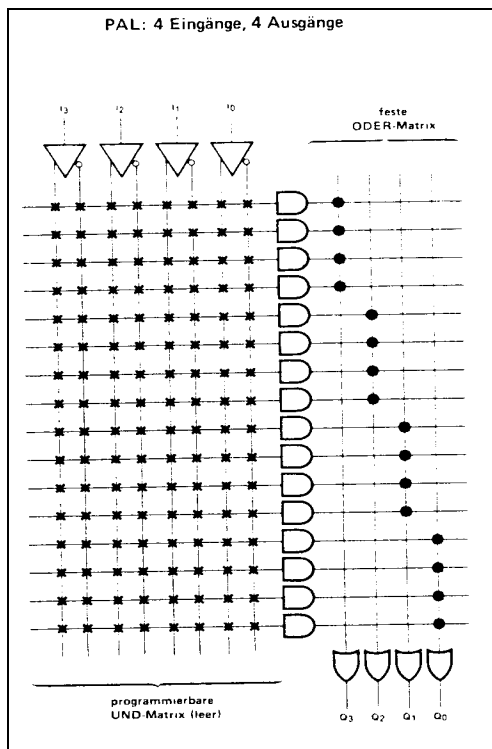
Matrixen til højre viser forbindelser til alle AND-gate udgange. De der er for mange brændes væk ved programmeringen.



Kilde: <http://ece.ut.ac.ir/classpages/F85/LogicLab/FPGA.pdf>

## PAL

Udviklingen af elektroniske Chips har ført til andre typer kredse med andre opbygningsprincipper. I PAL`ere ( programmable Array Logic ) er der modsat i PROM`er programmerbart AND-array og fast OR-array i udgangen.



Figuren viser en PAL. Bemærk fast fortrådet OR-matrix. Der er kun vist 1 af de mange indgang i and og or-gatene !

Figuren til venstre viser en PAL. Her ses at OR-matrix-et er fast programmeret, og indgangene til AND-matrix-et er programmerbart.

PAL`erne har igen videreudviklet sig. Denne type kredse kaldes også PLD`er ( Programmable Logic Device ) I dag findes mange forskellige meget komplekse typer. Der er endog i kredsene mulighed for at vælge om der i udgangen skal bruges fx. en D-FF, eller en SR, JK & T - FF. Herom senere..



## Programmerbare Gate Kredsløb

Programmerbare gate-kredsløb eller generelt **PLD**, ( Programmerbar Logic Device ) er videreudviklinger af PROM-erne. PLD er en fællesbetegnelse for forskellige typer programmerbare kredse, altså et begreb!

Med programmerbare kredse er det muligt at programmere kredse til at indeholde fx. et par AND-gates, en OR-gate, osv. Herved kan opnås, at der evt. kan spares flere almindelige fx. andgate-pakker og orgate-pakker.

Nogle typer giver mulighed for at ”ind”-bygge tællere eller fx. 8-bit -LATCH - ved hjælp af indbyggede D-FlipFlop`s. For meget store kredse kan der indbygges fx. et helt print, så udstyr kan komprimeres ret meget, ( fx. GSM-telefoner ).

Ældre typer blev fremstillet i TTL-teknologi ( bipolar teknik ). Disse havde ”fuse-able links” - altså sikringer, der brændte i stykker ved programmeringen. De var altså kun beregnet til 1 gangs programmering. OTP-typer ( One Time Programmable ). De fleste af de nyere typer er bygget i CMOS, med Floating Gate, altså sletbar enten med UV-lys eller med elektrisk sletning. Stadig med  $U_{cc} = 5\text{ V}$ , og fordi kredsene er bygget med CMOS har de et meget lille eget-strømforbrug.

De tidligere typer indeholdt et begrænset antal logiske kredsløb med hver deres udgang. Men udviklingen har medført stadig større og mere komplekse kredse.

Kredsene leveres til forskel fra fx. færdige pakker med AND-gates ( 4081 ) eller NAND-gates ( 4093 ) af forskellige fabrikanter under hvert deres navn, som er registrerede varemærker. Dette har medført et virvar af forskellige navne. Men ofte er kredsene fra forskellige fabrikanter direkte kompatible.

Der findes forskellige typer kun med gate-kredsløb. Disse kaldes COMBINATIONAL ( Gate only ), og typer hvor der foruden gate`s er indbyggede registre ( D-FF ). De kaldes SEQUENTIAL eller Registred Pal`s. Der findes typer med makroceller, der er multifunktions-enheder med fx. forskellige koblingsmuligheder af FF`s i alle udgange, og ”super”-typer med makroceller i både indgange og udgange. Disse muliggør valgfrihed til at anvende alle ben som enten ind- eller udgange.

Fælles er, at kredsene konfigureres af brugeren !!

Der er flere hovedtyper, alt efter deres kompleksitet og fremstillingsmåde, men med stor navneforvirring.

Her forsøges at give en navneoversigt, med nogenlunde stigende kompleksitet:

PAL	Programmable Array Logic	Eks. 16V8, 20V8 fra SGS-Thompsen
PLA	Programmable Logic Array	
GAL	Gate Array Logic	Eks. 16V8, 20V8
PEEL	Programmable Electric Eraseable Logic	Eks: PEEL 18cv8 fra ICT.
PLS	Programmable Logic Sequenser	
FPAL	Field Programmable Array Logic	
FPLA	Field Programmable Logic Array	
CPLD	Complex PLD	
FPLS	Fuse Programmable Logic Sequenser, en FPAL med FF. fx. PAL16R4	
FPGA	Field Programmable Gate Array	
ASIC`s	Application Specific Integrated Circuit. Kredse fremstillet på fabrik efter kundens specification !	

Der findes flere andre navne.

De første typer var Fuse Programmable, altså OTP`ere. Ved brændingen ødelægges de uønskede forbindelser i et matrix-mønster.

Senere kom EPLD, med Floating Gate Teknik som i EPROMs, dvs. Eraseable PLD`ere der kunne slettes med UV-lys, og dette er videreudviklet til elektrisk sletbare PLD`ere. ( EPLD )

PLA er fra 1974. Er udviklet af Signetics ( Philips ), er ældre end PAL.

GAL - Ic`er er fra 1986. Benævnes også Generic Array Logic. Svarer intern til en PAL. Har stort programmerbart AND-MATRIX og fast OR-matrix. Til sammenligning har PROM`er fast AND og programmerbart OR-matrix.

(F)PLA er en blanding af GAL/PAL og PROM

De fleste typer i dag er elektrisk sletbare. Dvs. hvor kredsene før var med brændbare sikringer er de i dag med Floating Gates som i EEPROM.

ASIC`s      Application Specific Integrated Circuit.

ASIC`s er IC-er, der er designet af eller i samarbejde med kunden og produceres på fabrikken. ASIC`s er ofte meget komplekse. Kan fx. erstatte et helt print. Har ca. 3-4 md. udviklings - og produktionstid. Disse vil vi ikke beskæftige os med her !

Asic`s er i dag videreudviklet til at være kunde-programmerbare, endda med mulighed for at fjernprogrammere. Fx. kan elektronikudstyr i køretøjer i lufthavnen i Kastrup i dag opdateres med nyt software fra Infocom i Sønderborg imens det er i drift !!

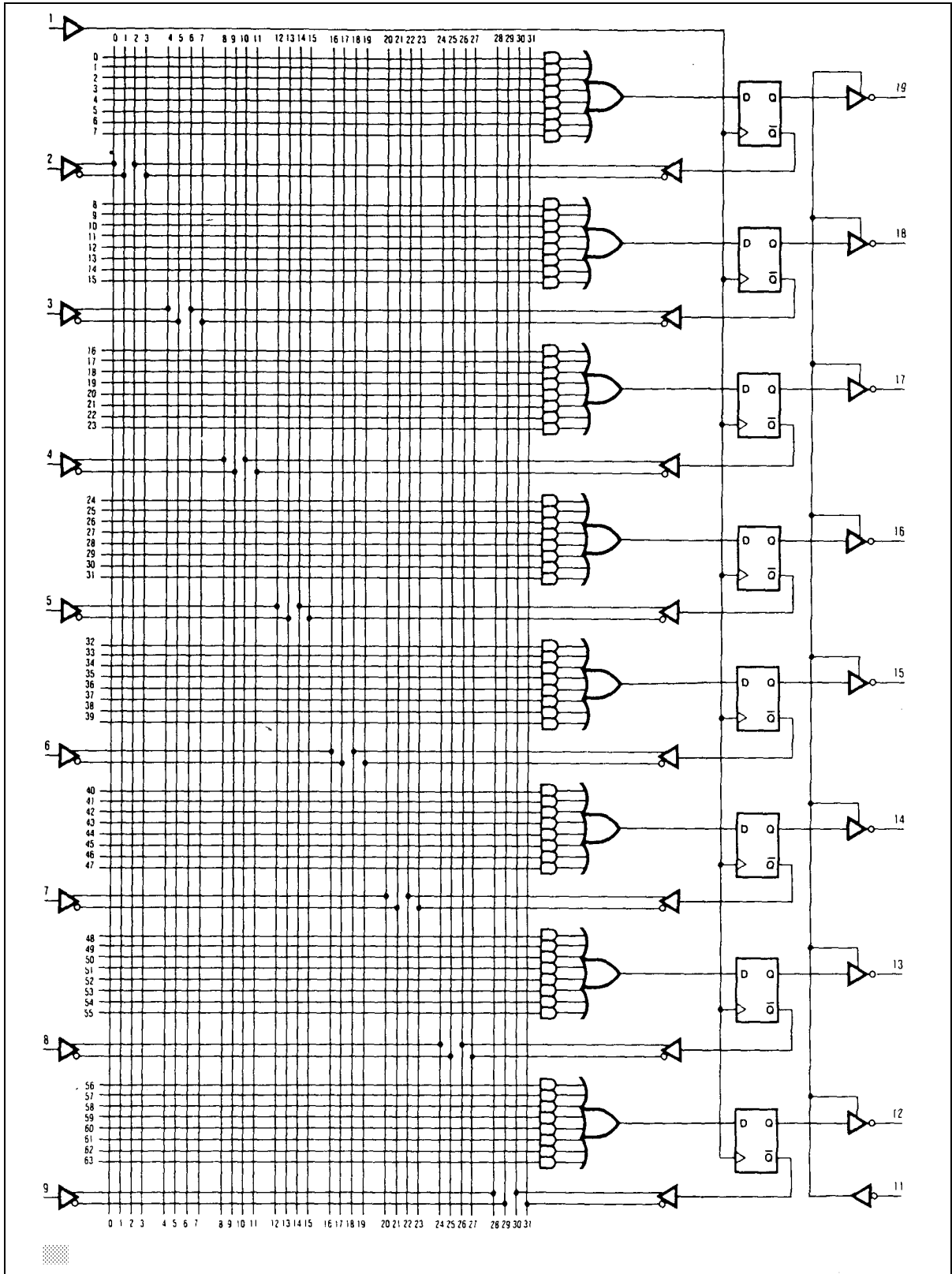
## **PLD - IDENTIFIKATION:**

PLDxxYYYzz-tt

PLD	Angiver type, fx. GAL, PAL, PEEL, PLD, EPLD
xx	Angiver højeste antal indgange til det logiske kredsløb
YYY	Kan fx. angive om der er register i udgangene
zz	Angiver højeste antal udgange fra kredsen
tt	Oftest hastigheden i nanosekunder.

EKS: PEEL18cv8 fra ICT kan erstattes direkte af PLDC18G8 fra AMD.

Tegningen næste side viser et eksempel på en kreds. Det giver et billede af hvordan flip flop-bestykkede udgange kan føres tilbage og indgå i input for andre udgange.



Indgangene er til venstre, og med et programmeringsudstyr kan der skabes forbindelser i matrixen så den rette funktion opnås.

## PEEL 18cv8

Den kreds, vi vil programmere hedder PEEL 18cv8.

PLD `en PEEL 18cv8 er en elektrisk sletbar logisk enhed fra firmaet ICT. Den indeholder en række ind- og udgangskredsløb, samt en del logiske funktioner, fx. AND, OR, INVERTERE og Flip Flop, som kan forbindes indbyrdes ved at etablere nogle forbindelser i kredsen ved hjælp af et designprogram og et programmeringsudstyr.

18cv8 kan programmeres og slettes mindst 1000 gange. Den husker den indprogrammerede gatekombination selv uden forsyningsspænding. Prisen er ca. 25 Kr. Den fås i en 20-pin IC. Den har max. 8 udgange og max 18 indgange idet ( ubrugte ) udgange kan programmeres til at være indgange.

Hver udgang kan max. programmeres til at komme fra en 8-input orgate hvor hver indgang kommer fra en and-gate med op til 36 indgange. Dvs. alle 18 indgange og deres inverterede.

Altså højst 8 AND funktioner som så OR-es sammen.

Man siger også, at der fra and-gatene kommer et "produkt" og fra orgatene en "sum", altså "A SUM OF PRODUCTS". Dvs. at der på hver udgang højst kan være 8 produkter.

Indgangene kan fx. kaldes A, B, C & D osv. og udgangene F1, F2 osv. Følgende kan så realiseres:

$$F1 = A*!B*C*D + A*B*C + !A*C + !A*!B*!C$$

$$F2 = !A$$

\* eller & = And,  
 + eller # = OR,  
 ! eller / betyder Inverteret,  $!A = \bar{A}$ .  
 \$ = XOR

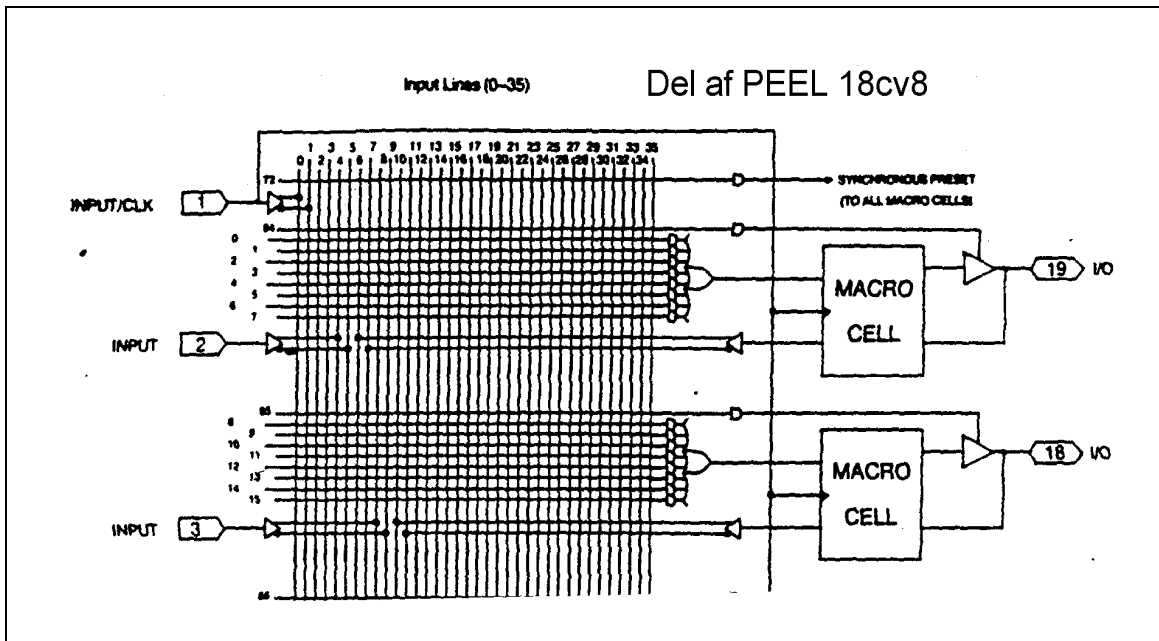
Der må bruges parenteser.

Bemærk at alle udtryk er "skrevet helt ud" eller skrevet på "max term". Dvs. uden invertering over mere end en variabel.

Det er endvidere muligt at indsætte en D-FF i hver output. ( Makro-celle ). Herved er det muligt at konstruere forskellige former for sekventiel logik, fx. tællere, latch osv.

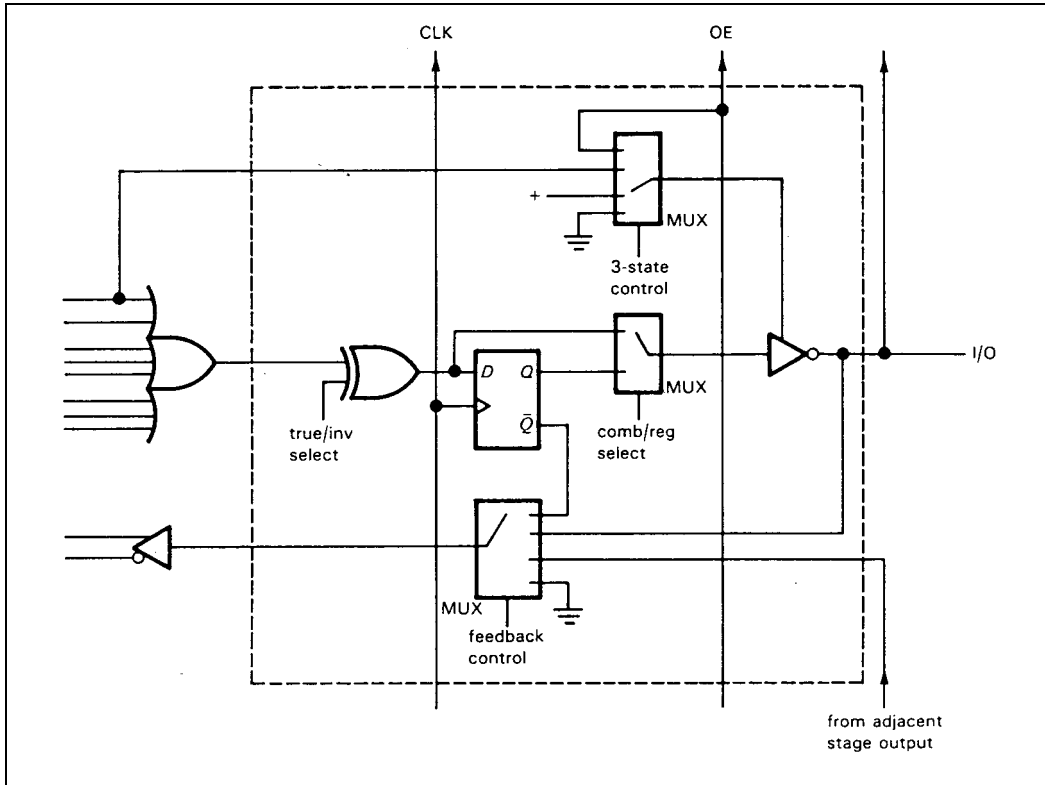
I designsoftwaren kan de forskellige muligheder i makrocellerne vælges blot ved et tastetryk, og når den ønskede funktion er valgt for alle udgange, sørger softwaren for, at der genereres en fil, der kan programmeres ind i kredsen.

Herunder ses et udsnit af kredsens indre. På hver udgang er der en "Macro-celle".



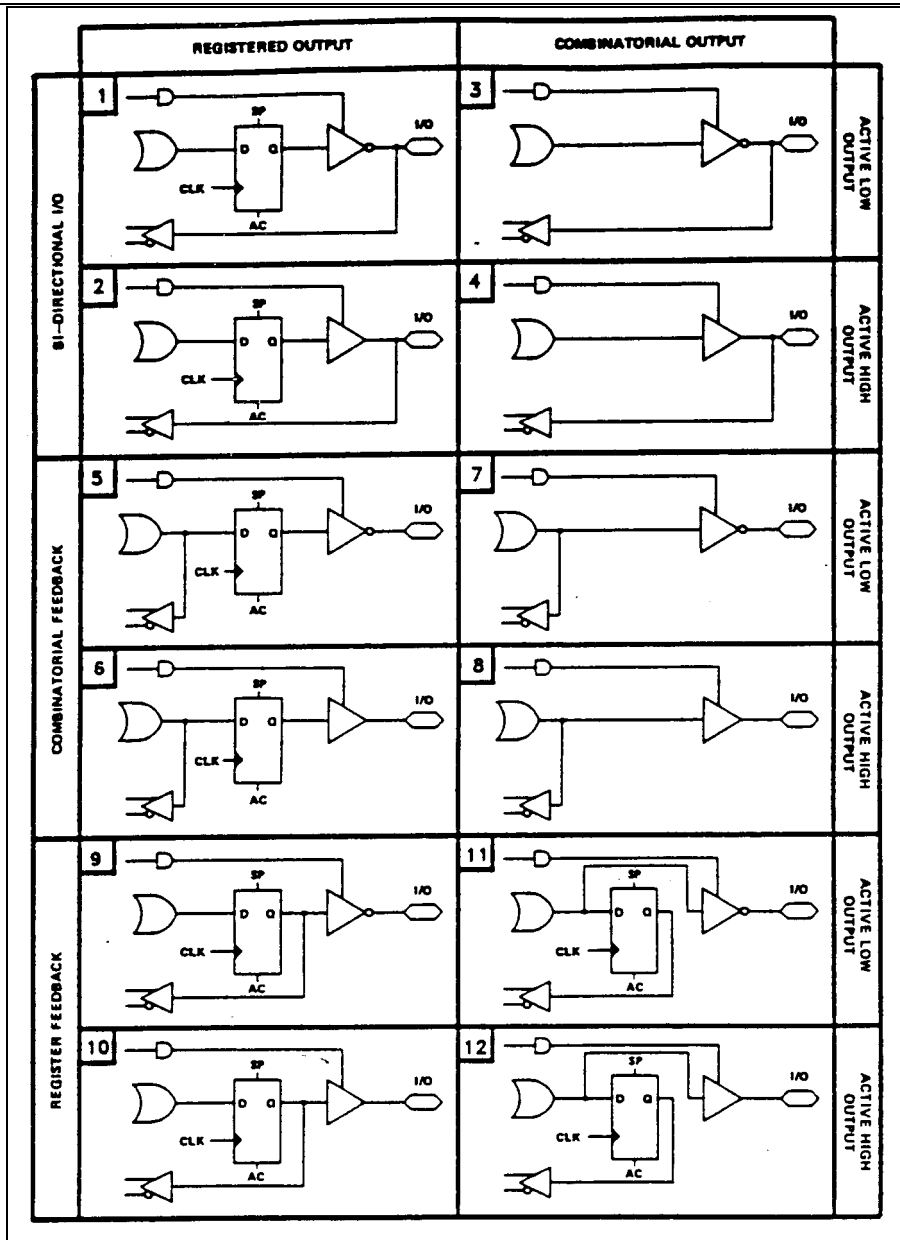
En del af 18CV8 med AND/OR-matrix og MACRO-celle

Forstørres MACRO-cellen ses, at den indeholder en D-FF, - og flere MUX-ere til at vælge, hvorfra og hvortil signaler forbindes.



En Peel 18cv8 - macrocelle

På følgende figur er de forskellige valgbar muligheder i macro-cellerne vist.



Forskellige muligheder for konfiguration af makrocellen i PEEL 18CV8



## PLD-DESIGN:

Flg. skema beskriver designforløbet når der skal produceres PLD`ere.

<b>Aktivitet</b>	<b>Forklaring</b>
DESIGN:	Ud fra et diagram bestemmes hvordan udformningen af kredsen skal være. Fx. antal AND-gate, OR-gates, registre osv. - og på hvilke ben ind- og udgange skal være.
UDVIKLINGSVÆRKTØJ:	I et PC-program "tegnes" eller udformes IC'en. Programmet kan også simulere den færdige IC. Programmet hedder WinPLACE.
DATAFIL:	PC-programmet genererer en standard-fil, en såkaldt JEDEC-fil, ( .JED )
PROGRAMMERINGS VÆRKTØJ:	Jedec-filen bruges som input til det PC-program, der følger med programmerings-udstyret.
PROGRAMMERING:	Programmering foregår med specialudstyr.
IC	IC'en slettes, blanktjekkes, programmeres og verificeres.