



Kompendium

Gates og Boolsk algebra

Rettelser og tilføjelser modtages gerne

/ Valle

Generelt:

I digital elektronik er kredsløb opbygget af gates. Gates kan godt opfattes som porte, hvis blot 1 af en OR-gate's indgange er åbnet (høj) bliver udgangen høj.

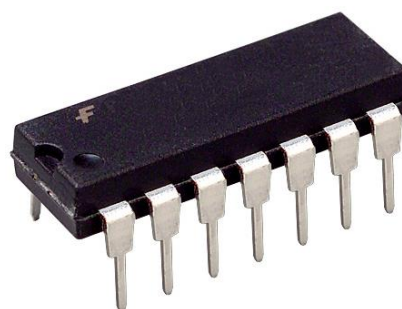
Digitale gates bruges meget i elektronik. Fx til at afgøre, om flere betingelser er opfyldt, og i så fald skal et signal gå høj.

Eks: Jeg går i banken – OG – jeg har et gevær i hånden, - SÅ sker der noget. Begge betingelser er opfyldt, - svarende til en AND-Gate-funktion.

Gates er bygget ind i IC-huse.

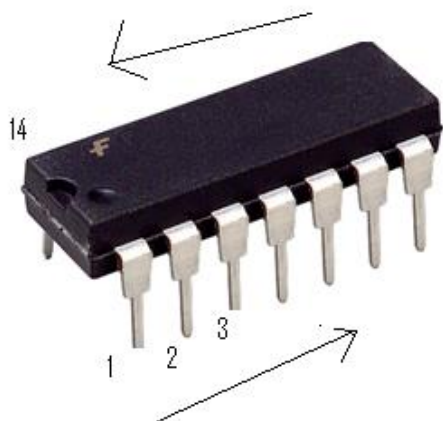
Gatene er ”levende” komponenter. De skal have noget at leve af. De skal have powersupply! Fx 5 eller 12 Volt.

Hvis det drejer sig om CMOS, kan de klare op til max 15 Volt, eller 5 Volt hvis det er TTL-familien, man arbejder med!





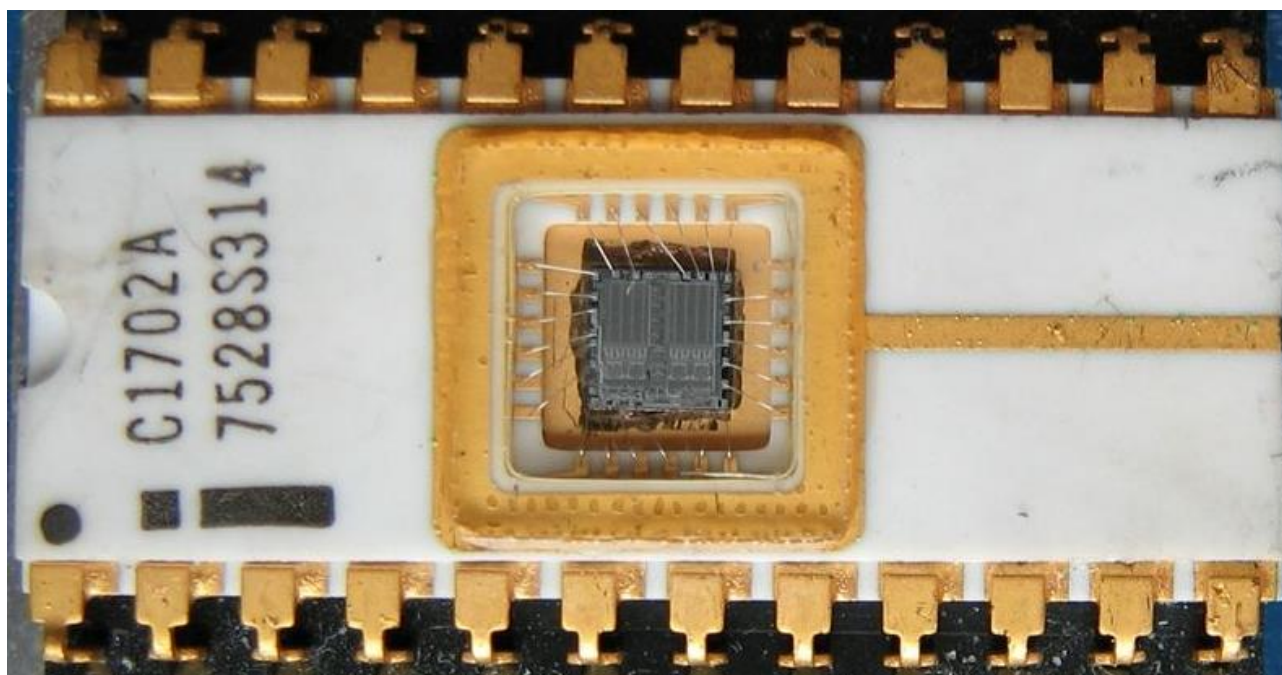
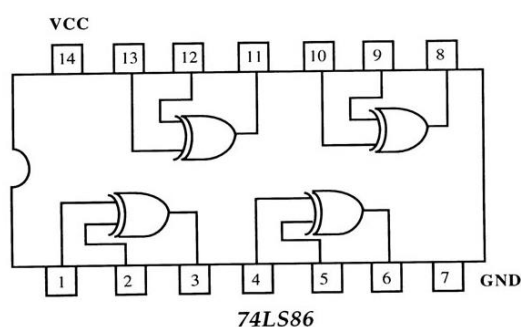
Ben-nummerering:



Læg mærke til markeringen på IC'en, der angiver, hvordan den skal vendes mht. ben-nummereringen.

IC'er vendes med markeringen mod venstre. Det er enten det lille hul i nederste venstre hjørne, eller "halv-hullet i midten af venstre ende.

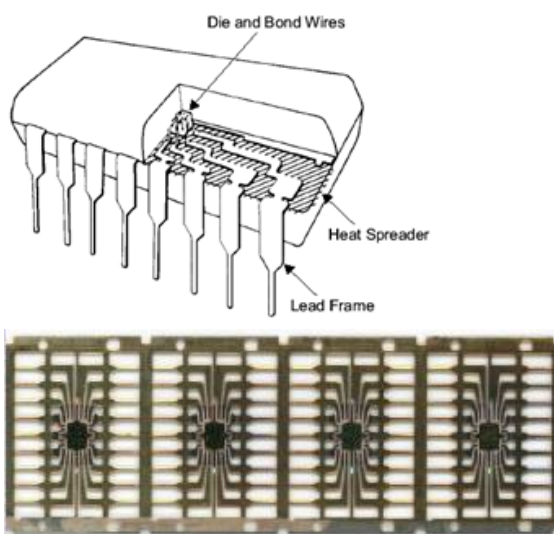
Benene er nummereret med ben 1 i nederste venstre hjørne, og med fortløbende numre mod uret!



Her ses en IC-Chip, fastgjort på en bund, der tillige "bærer" alle benene. De tynde guld – eller alu-tråde, der forbinder chippen til benene.

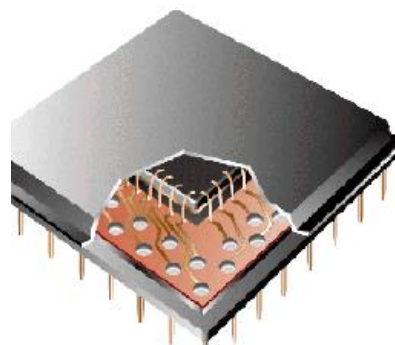


Her ses de tynde ”Bonding Wire” tættere på.

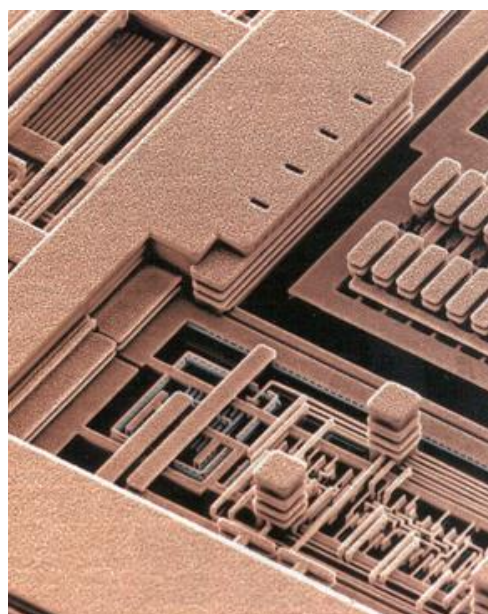
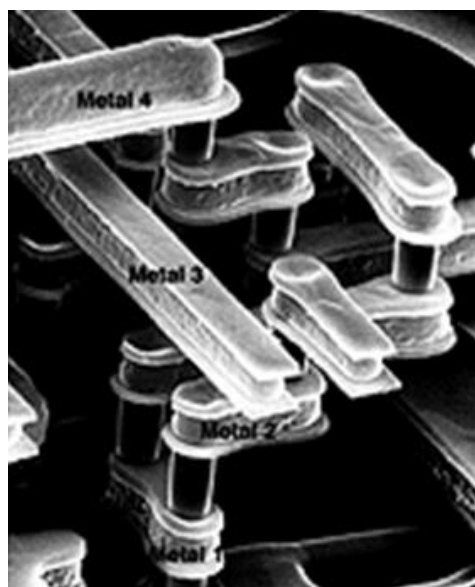


Til venstre ses hvordan benforbindelserne ligger inde i pakken.

Nedenunder hvordan benene ser ud før der kommer plast på, og benene bøjes og klippes.



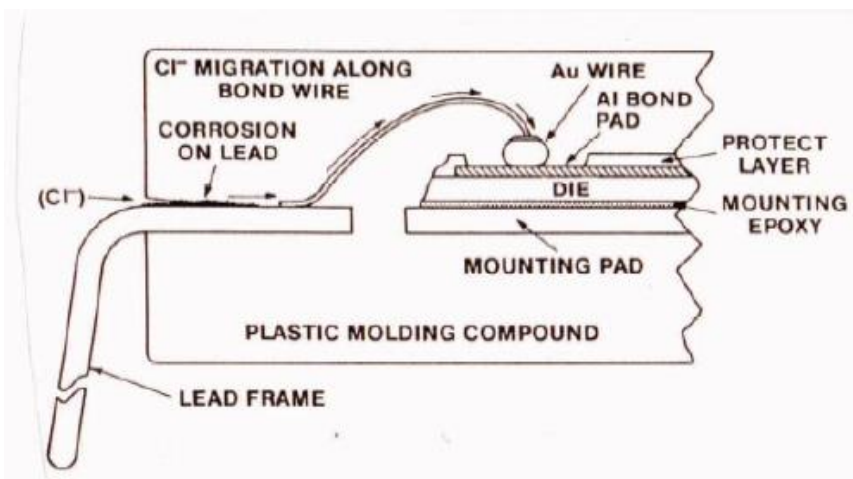
Et kig med elektronmikroskop på ind i en Chip.



[http://www.ee.hacettepe.edu.tr/~alkar/ELE710/Analog%20Layout.ppt#299,49,Advanced Metallization](http://www.ee.hacettepe.edu.tr/~alkar/ELE710/Analog%20Layout.ppt#299,49,Advanced%20Metallization)



På billedet ses de små tynde guld-tråde, eller aluminium-tråde, der bruges til at forbinde de fysiske ben med små firkantede kontaktflader på selve chippen. Grunde til størrelsen af selve IC-pakken, er, at der skal være plads til alle benene. Og til forbindelserne fra selve benene hen til tæt på chippen. Afstanden mellem de enkelte ben er 1/10 amerikansk tomme, som er lig 2,54 mm.



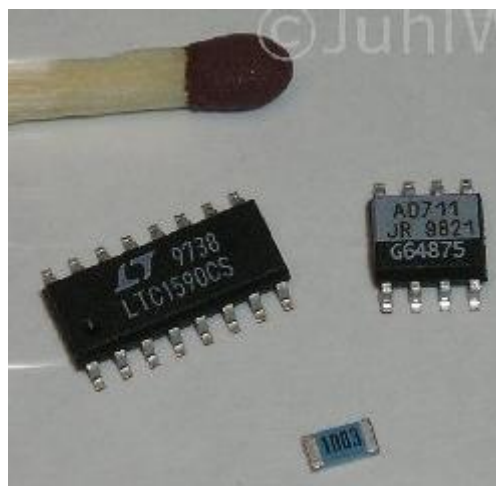
SMD-Chip: Surface Mounted Device.

Nyere chips er huset i meget mindre pakker med meget mindre benafstand. Til højre ses et eksempel. Der findes mange forskellige typer af IC-huse.

Det gør det svært for os, at lege med dem på fumlebrædt. De placeres og loddes direkte på forsiden af print.

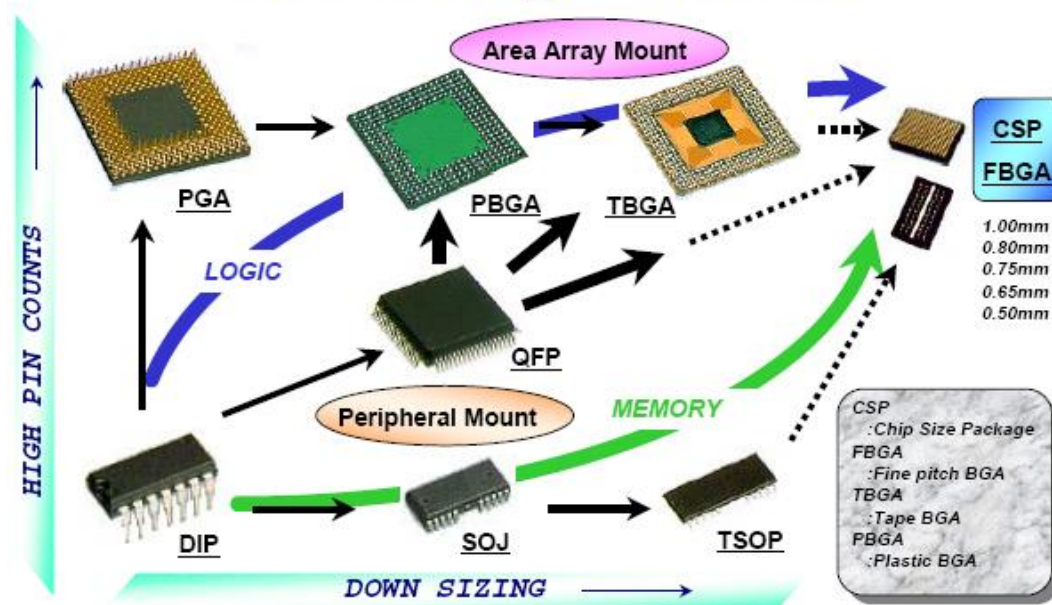


Andre eksempler på IC-huse. De er ikke særlig store !





IC Package Trends



En graf, der viser udviklingen i størrelse og kompleksitet

Gate-indgangene

Gatene måler på indgangene. - Der løber ingen strøm ind (eller ud) af indgangene. Der er 10^{12} Ohms modstand ind i indgangen, i hvert fald ved CMOS. Så det er i hvert fald en meget lille strøm, der under normale omstændigheder løber ind i, eller ud af indgangen.

Men afhængig af den spænding, gaten måler på indgangene, vil elektronikken inden i kredsen koble udgangen til plus eller nul, til Høj eller lav, til 1 eller 0 !!!!

Man belaster således ikke indgangene. Overhovedet ikke, hvis spændingerne her da er mellem forsyningsspændingen og nul !!!

Er en Gate's udgang høj, kan der løbe strøm fra plus forsyningsspænding, ud til udgangen, og ud til en belastning på udgangen. Det kan fx være en modstand i serie med en LED. Eller er det en indgang på den næste gate i et kredsløb, der er forbundet til udgangen, kan den føle, at udgangen på den forrige Gate er høj.

Er en Gate-udgang lav, kan udgangen synke strøm fra plus fx gennem en LED i serie med en modstand.

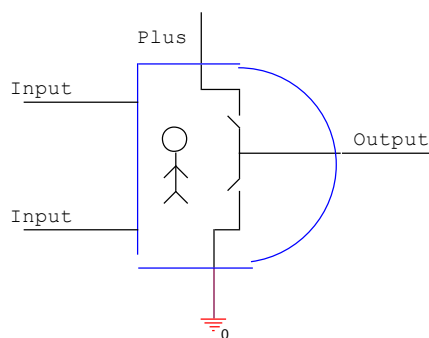
Det er dog begrænset, hvor stor en strøm, en gate kan levere ud af udgangen, eller synke ind i udgangen. Det er kun nogle få mA. Under 10 mA.



For at illustrere forholdene, kan man forestille sig følgende tegning. I gaten vil "manden" måle på indgangene, og afhængig af målingen, tænde den øverste eller nederste kontakt.

Enten er udgangen koblet til plus, eller til nul.

Kontakten er dog ikke uendelig god. Iout kan max blive ca. 10 mA. Dvs. der er en udgangsmodstand !



Der findes flere grundlæggende gate-typer. Disse gennemgås her:



OR-gate:

Ved en OR-gate er udgangen høj hvis blot 1 af indgangene er høj. Kaldes to indgange for A og B og udgangen for F fås på Boolsk form: $F = A + B$. (+ er et logisk "OR" eller et "ELLER") Det skal forstås således: F er "sand", dvs. høj hvis enten A eller B eller begge er sande (høje)

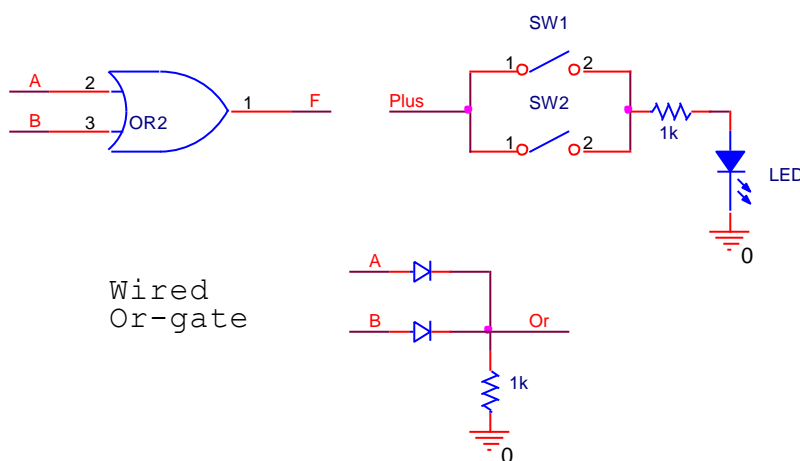
Dette fremgår også af flg. sandhedstabel el. sandhedsskema.

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

Der kan være flere end 2 indgange.

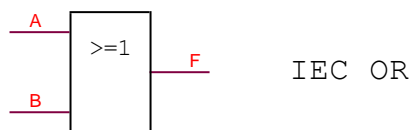
Til højre ses først diagramsymbolet for en OR-gate, og til højre herfor er funktionen illustreret med kontakter.

Bemærk, der er ikke i virkeligheden forbindelse fra indgangen til udgangen. Skitsen med kontakterne skal blot illustrere, at hvis en eller den anden eller begge kontakter er tændt, så lyser lampen. Ganske som sandhedstabellen for en orgate !!



Nederst vises en wired ORgate

Europæisk OR-symbol



NOR-gate

En NORGATE er en Orgate, hvor udgangen er det modsatte af en ORGATE. N kunne stå for "NOT" eller "Negeret".

Sandhedstabel:

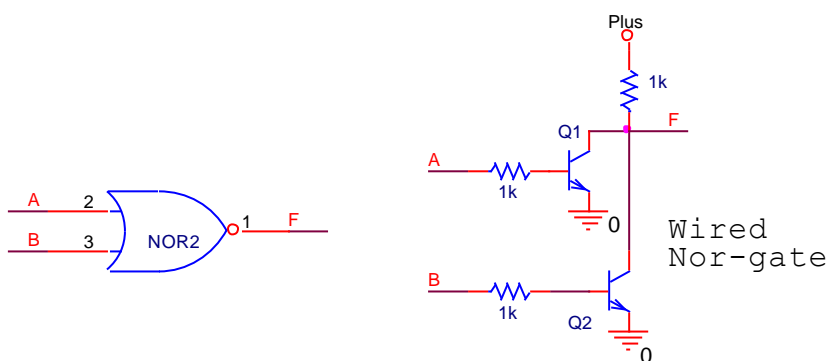


A	B	F
0	0	1
0	1	0
1	0	0
1	1	0

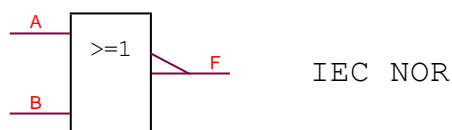
Der kan være flere end 2 indgange.

På boolsk form: $F = \overline{A+B}$

Gatesymbolet ses her, og til højre ses en wired Nor-gate.



Europæisk NOR-symbol



Hvis A er sand (høj eller 1) eller B er sand eller begge er sande, er F ikke sand = falsk.

ANDGATE

En ANDGATE` s udgang er høj hvis, og kun hvis alle dens indgange er høje.

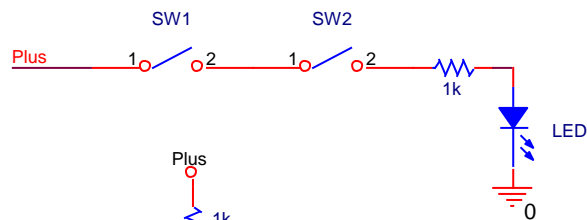
A	B	$F = A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

Tegnet der i Boolsk algebra angiver en AND-funktion er en prik.

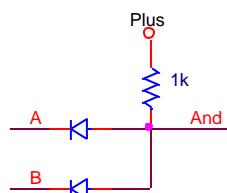
$$F = A \cdot B = AB$$



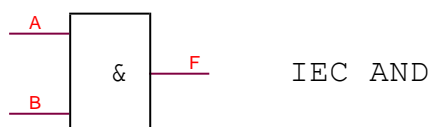
Først symbolet for en AND-gate.
Dernæst funktionen vist med kontakter, og nederst er vist en wired AND-gate.



Wired And-gate



Europæisk symbol er:



NANDGATE


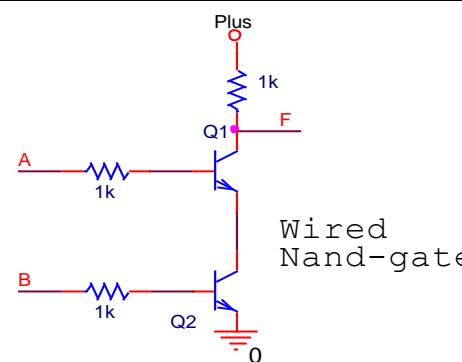
En nandgate er egentlig en AND-gate, der er inverteret i udgangen. Inverteret vil sige, er det modsatte.

A	B	$F = A \cdot B$	$F = \overline{A \cdot B}$
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

På Boolsk udtryk fås:

$F = \overline{A \cdot B}$ eller

$F = \overline{A} \overline{B}$

Wired Nand-gate



Europæisk symbol ser således ud:



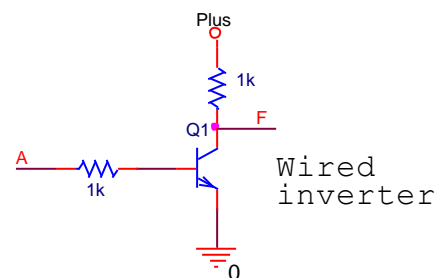
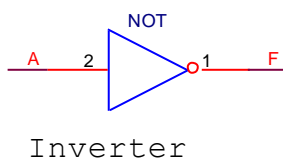
Inverter:

En inverter er på udgangen det modsatte af indgangen. På boolsk: $F = \bar{A}$

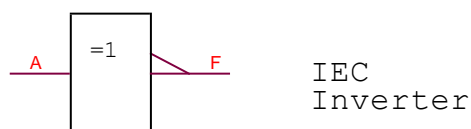
Sandhedsskemaet ser ud som flg:

A	F
0	1
1	0

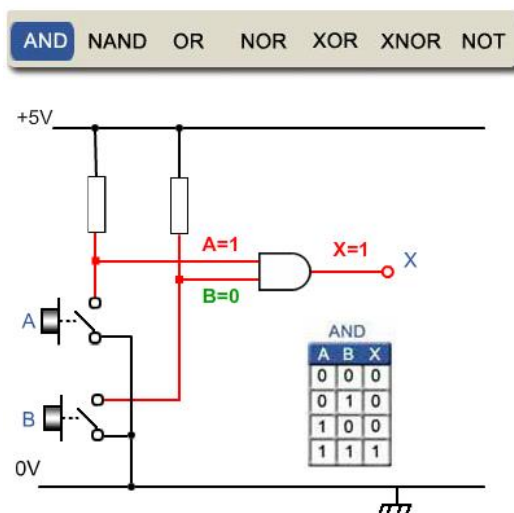
Invertersymbolet, og til højre en wired inverter.



Det europæiske invertersymbol.



Se side med simulering:



<http://www.learnabout-electronics.org/Digital/dig21.php>



Nandgate med hysteresese:

Normalt er grænsen mellem hvornår en CMOS-gate registrerer en indgang til at være høj eller lav omkring halv forsyningsspænding.

I Nandgaten 4093 er der i indgangene indbygget Smith Trigger. Dette betyder, at indgangsspændingen skal over ca. 0,7 gange forsyningsspændingen før indgangen bliver ”målt” høj, og tilsvarende falde til under 0,5 gange forsyningsspændingen, før den igen bliver ”dømt” lav. Der er altså en slags ”ingenmandsland” imellem de to niveauer.

Begrebet kaldes ”hysteresese”. De to niveauer kaldes hhv. Upper Trigger Level (U_{TL}) og Lower Trigger Level (L_{TL}).

Hysteresebegrebet kendes (formodentlig) fra oliefyr. Når vandets temperatur er faldet til fx 60 grader, starter termostaten oliefyret. Og når temperaturen er nået fx 70 grader stoppes oliefyret igen. Hysteresebåndet er fra 60 til 70 grader i dette tilfælde!

Samme funktion er indbygget i en fryser. – og i et køleskab. Årsagen er, at man ikke kan have oliefyret / fryseren / køleskabet til at køre hele tiden.

Og idet, oliefyret starter, er der ikke optimal forbrænding, - så det er bedst at lade det køre ”noget”, når det først er kommet i gang. Ligeledes er startstrømmen i en kompressor større end under drift.

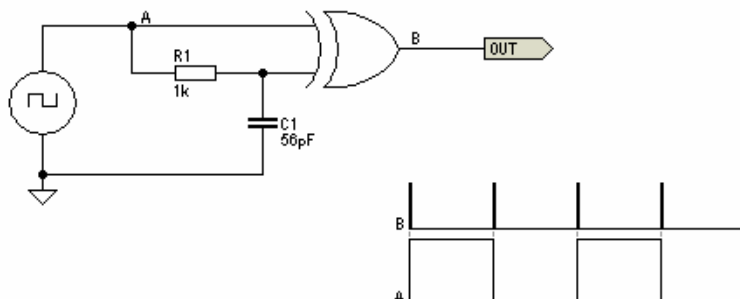
Et andet eksempel er tænd og sluk for gadelyset. Når gadelyset tændes, vil der i omgivelserne være et genskin fra skyerne, så det bliver lidt lysere, og gadelyset vil slukke igen. Dette forhindres ved, at indbygge hysteresese i styringen!

Nand-gaten med hysteresese, 4093, kan udmærket bruges som en almindelig Nandgate.

Føres en analog spænding til en CMOS gate-indgang, er det en betingelse, at gaten har indbygget hysteresese. Normale gates bruger for megen strøm fra forsyningsspændingen, hvis indgangsspændingen er ca. halv forsyningsspænding.

Exclusive OR Gate edge detector.

Prøv at opbygge i ORCAD eller LTSpice.



<http://sound.westhost.com/appnotes/an005.htm>



Boolsk Algebra

Boolsk algebra er et matematisk værktøj – eller en regne-art - der omkring 1850 blev udviklet af den engelske matematiker George Boole (1815 – 1864).

Boolsk algebra – eller logisk algebra – blev oprindeligt brugt til at drage logiske korrekte konklusioner, der enten er SAND eller FALSK.

Boolsk algebra kan inden for digitalteknikken benyttes til:

- Analyse
- Beskrivelse
- Konstruktion
- Reduktion
- Omskrivning

af logiske funktioner.

Som i digitalteknik anvendes de to tal 0 og 1 for hhv. lav og høj, eller FALSK og SAND.

Der anvendes variable størrelser, som angives med bogstaverne A, B, C osv., og disse kan følgelig have værdierne 0 eller 1.

Forbindelsen mellem de enkelte variable i boolske ligninger beskrives ved de logiske grundfunktioner og deres formeltegn:

AND	(·)
OR	(+)
NOT	(⁻)

Ud fra disse grundfunktioner kan der udledes andre mere komplekse funktioner, såsom NAND, NOR, EXCLUSIVE OR osv.

Tillige bruges ”lig med”, = , og parenteser. And er ”kraftigere” end or-tegnet, lige som det er med gange og plus i matematik. fx skal $3 + 4 \cdot 5$ opfattes som $3 + (20) = 23$ og ikke $7 \cdot 5$.

En Inverteringsbjælke binder led sammen på samme måde som en parentes.

Boolske regneregler har intet med almindelig aritmetik at gøre, men der er visse ligheder.

Eksempel med lys / tændingsadvarsel til Kadett'en.



Med følgende skema er det forsøgt, at give en forståelse af forhold omkring gates:

Konstanter:

Med følgende skema er vist, hvordan konstanter ”and’et eller or’et sammen fungerer. Det er desuden med diagrammer vist, hvordan det ser ud !

$0 \cdot 0 = 0$		$0 + 0 = 0$	
$0 \cdot 1 = 0$		$0 + 1 = 1$	
$1 \cdot 0 = 0$		$1 + 0 = 1$	
$1 \cdot 1 = 1$		$1 + 1 = 1$	
$\bar{0} = 1$			
$\bar{1} = 0$			

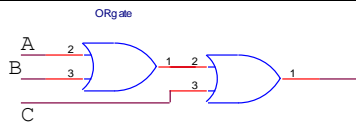
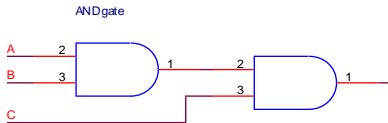
1 variabel:

Næste skema er der 1 variabel i leddene:

$A \cdot 0 = 0$		$A \cdot A = A$	
$A \cdot 1 = A$		$A \cdot \bar{A} = 0$	
$A + 0 = A$		$A + A = A$	
$A + 1 = 1$		$A + \bar{A} = 1$	
$\bar{\bar{A}} = A$			

**2 eller flere variable.**

Og i dette skema er der forsøgt forklaret, hvordan boolske led med flere variable kan ”omformes”.

1	$A + B = B + A$	Ledenes orden er underordnet.
2	$A \cdot B = B \cdot A = AB = BA$	And-tegnet er underforstået. Ledenes orden er underordnet.
3	$A + B + C = A + (B + C)$	
4	$A \cdot B \cdot C = (A \cdot B) \cdot C$	
5	$AB + AC = A(B + C)$	Man kan sætte en operator, der findes i flere led, uden for en parentes. Og modsat kan man gange ind! (eller and'e ind)
6	$(A + B)(A + C) = A + BC$	Der ganges ind, hvilket giver 4 led, og der reduceres.
7	$A + AB = A$	Når en variable optræder alene kan alle andre led, hvor pågældende variable indgår slettes.
7.1	$AB + ABC = AB$	Led, hvori andre, kortere led indgår, kan slettes
8	$A(A + B) = AA + AB = A$	
9	$(A + B)(A + \bar{B}) = A$	
10	$A + \bar{A}B = A + B$	Når en variable optræder alene og ”or-es” med et andet led hvor dens inverterede optræder, kan man slette dens inverterede.
11	$\overline{A + B} = \bar{A} \cdot \bar{B}$	Man kan bryde en invertering hvis man samtidigt ændrer tegnet hvor man har brudt – og evt. sætter parentes.
12	$\overline{A \cdot B} = (\bar{A} + \bar{B})$	Man kan bryde en invertering, hvis man samtidigt ændrer tegnet hvor man har brudt. Her er det nødvendigt at sætte parentes, da ”or-tegnet” ikke selv binder de to variable så tæt sammen som ”and-tegnet” på venstre side.
13	$\overline{\overline{B + C}} = (B + C)$	Husk parentes !!
14	$\overline{\overline{A \cdot B \cdot C}} = (\bar{A} + \bar{B} + \bar{C})$	Husk parentes !!
15	$A + (BC) = (A + B) \cdot (A + C)$	A kan ”or’es” ind i.
16	$AB + BC + C\bar{A} = AB + C\bar{A}$	Meget speciel regel. Men vær opmærksom på Hazard. Test med sandhedstabel!

Variablerne A, B, C osv. skal opfattes således, at de repræsenterer et signal fra fx en produktionsmaskine. Fx kunne A være olietryk OK eller manglende olietryk, B kunne være lufttryk, C kunne være kølevand osv.



Husk, generelt, at når en bjælke brydes, sættes en parentes, der på samme måde som bjælken holder leddet sammen!

Boolske regneregler:

1. Man må bryde en bjælke, når man samtidig ændrer tegnet under det sted, der brydes, – og der samtidig sættes parentes. (Der kan ikke sættes forskellige tegn, hvis der fx brydes 2 steder!) Eks.: $\overline{A+B} = \overline{A} \cdot \overline{B}$, $\overline{A \cdot B} = \overline{A} + \overline{B}$, $\overline{A+B+C} = \overline{A} \cdot \overline{B} \cdot \overline{C}$
2. Man kan samle en bjælke, når man samtidig ændrer tegnet under det sted, der samles.
3. Har man en variabel optrædende alene blandt flere led, kan man slette andre led hvori variabelen indgår. Eks: $A + AB = A$, $\overline{C} + A\overline{C} = \overline{C}$ $B + AB + A\overline{C} = B + A\overline{C}$
4. Har man en variabel – OR – dens inverterede and noget mere, kan man fjerne dens inverterede. Eks: $A + \overline{A}B = A + B$

Reducer flg. boolske udtryk:

$$F1 = AB + BC + A + ABC$$

$$F2 = A\overline{B}\overline{C} + \overline{A}BC$$

$$F3 = AB + \overline{A}B$$

Kontrol vha. Sandhedsskema:

Reduktion af ligninger kan kontrolleres vha. sandhedsskemaer!

Eksempel: Er $\overline{A \cdot B} = (\overline{A} + \overline{B})$

Først tegnes et skema for de forskellige variable og de mellemregninger, der udføres.

A	B	\overline{A}	\overline{B}	AB	\overline{AB}	$(\overline{A} + \overline{B})$
0	0					
0	1					
1	0					
1	1					

Først udfyldes søjlen for A-inverteret, der er modsat af A. Derefter B-inverteret, osv.

A	B	\overline{A}	\overline{B}	AB	\overline{AB}	$(\overline{A} + \overline{B})$
---	---	----------------	----------------	----	-----------------	---------------------------------



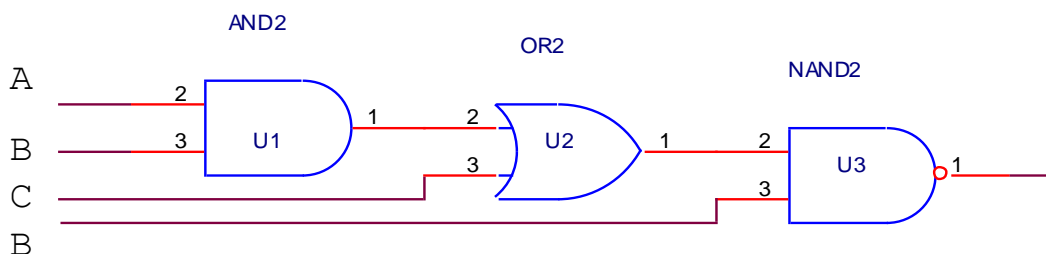
0	0	1	1	0	1	1
0	1	1	0	0	1	1
1	0	0	1	0	1	1
1	1	0	0	1	0	0

Det ses at de to sidste søjler er ens, altså må ligningen være korrekt.

Flere eksempler: $\overline{A+B} = ?$

Fra Diagram til ligning

Ud fra et diagram opskrives en ligning:



Udgangen af første andgate U1 må hedde: AB

Efter U2 er ligningen $(AB + C)$

Husk, AB er stærkere end $+$, (or)!!!

Før inverteren i U3 bliver ligningen : $(AB + C) B$

Det betyder, at B skal ANDes med hele parentesens !

Efter inverteren, altså på udgangen bliver ligningen: $\overline{(AB+C) \cdot B}$

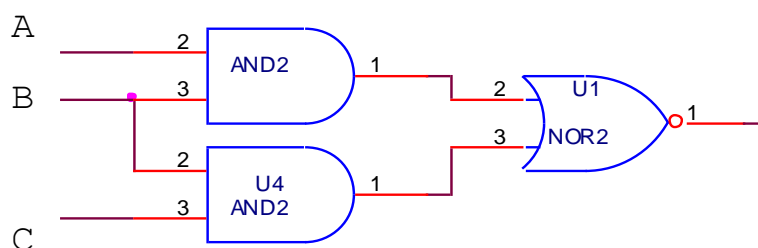
Reducering af ligningen

Først kan B "Andes" ind i parentesens eller "ganges" ind ! $\overline{ABB+CB}$

ABB bliver lig AB , idet 2 indgange på en 3 input andgate er ens !

Der fås: $\overline{AB+BC}$

Dette kan realiseres med flg. diagram:



A og B andes, og B og C andes, og de to mellemvariable føres til en NOR-gate.

Udtrykket er jo ikke mindre end det oprindelige, men kan dog klares af to forskellige typer gates, dvs. to IC-pakker.

Man kan forsøge med at bryde bjælken og ændre tegnet, hvor man har brudt:

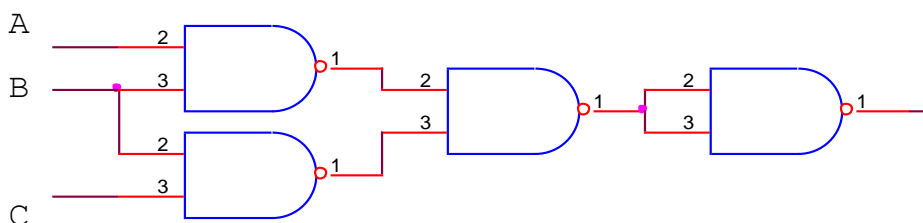
$$\overline{AB \cdot BC}$$

Hver led skal nu NANDes, og derefter ANDes.

Vi kan forsøge med at sætte to inverteringsbjælker over. De ophæver jo hinanden, og ændrer derfor ikke udtrykket.

$$\overline{\overline{AB \cdot BC}}$$

Nu kan først det ene led laves af en NAND-gate, derefter det andet. Disse kan så Nand'es og inverteres:



Der er nu opnået, at man kan realisere kredsløbet med kun 1 IC-pakke med 4 NAND-gates. !!

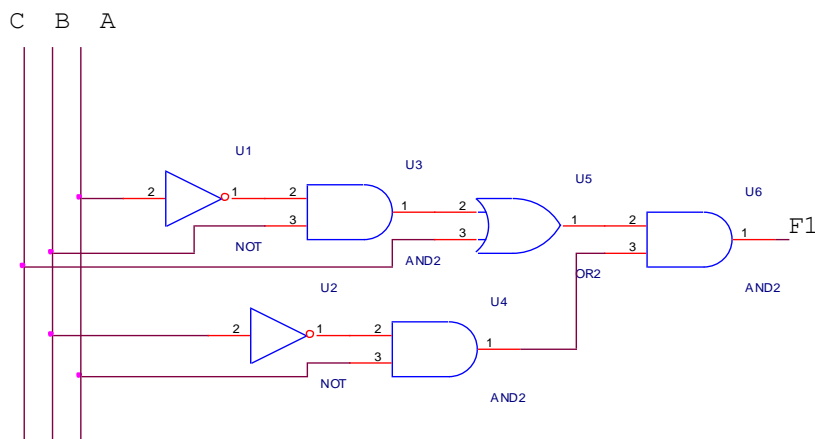


Et eksempel mere:

Opskriv det boolske udtryk.

Reducer

Tjek med sandhedsskema.



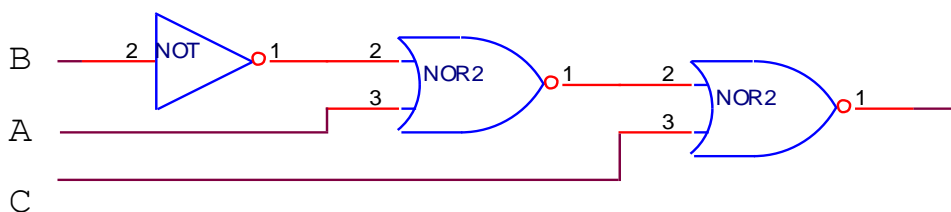
Fra sandhedsskema til ligning og diagram

Mangler:

Fra ligning til diagram

Givet følgende ligning: $F = \overline{\overline{A + B + C}}$

B skal inverteres og NOR'es med A. Dette skal så NOR'es med C



Tegn Diagram

$$F1 = \overline{\overline{A + \overline{BC} + \overline{ABD}}}$$

$$F2 = \overline{\overline{AB} \cdot \overline{CD}}$$



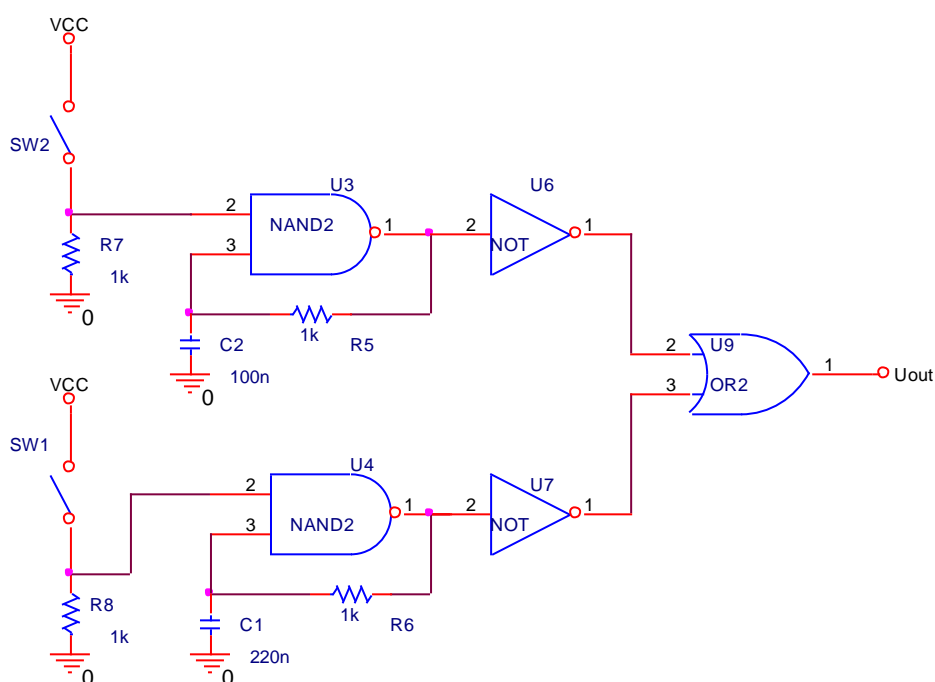
Konvertering til 2-input NAND-gates eller 2-input NOR-gates.

Alle kredsløb kan vha. boolsk algebra omskrives til kun at bestå af NAND-gates – eller NOR-gates. Det kan fx være interessant at omskrive et udtryk, hvis man derved kan spare 1 eller flere IC-pakker på sit print!

Eksempel:

Dette kredsløb producerer en frekvens på udgangen afhængig af hvilken switch, der trykkes. I udgangen er der NOT gates, eller invertere, og en OR-gate.

Konverter disse kredse til 2-input NAND-gates!



Ombyg, så oscillatorerne kører konstant, men en switch kan vælge at udgangen kommer fra den ene oscillator eller den anden.

En microcontroller kan modtage serielle data på en pin.

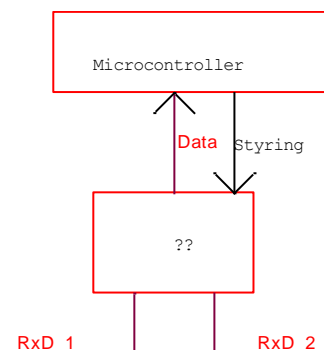
Default er spændingen på ledningen høj. (dvs. 5 Volt.)

Der ønskes konstrueret et kredsløb, der ved hjælp af styresignalet kan vælge, om der skal modtages fra RxD_1 eller RxD_2.

Hvis styresignalet er lavt, kan data fra RxD_1 komme igennem, er det højt, kommer RxD_2 igennem.

Opskriv ligning og tegn kredsløbet!

Ps: hint til ligning /P3.1 =



**Reducering af ligninger vha. karnaughkort.**

Optakt: Reducer først flg. opgaver, F1 og F2 på normal vis:

$$F_1 = ABC + \overline{A}BC + \overline{A}\overline{B}C + \overline{A}BC + \overline{A}\overline{B}\overline{C}$$

F2: (F2 er angivet i sandhedstabellen her)

A	B	C	F
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Hvis der fx haves ligninger på formen $F = \overline{A}B\overline{C} + \overline{A}\overline{B}C + \overline{A}BC + \dots$ hvor der ikke er tale om, at der er inverteringsbjælke over flere end een variabel, kan der med fordel bruges et karnaughkort til reducering. Formen kaldes "sum af normalprodukter"

Eller hvis man har et kredsløb udtrykt med et sandhedsskema som fx følgende:

C	B	A	F
0	0	0	1
0	0	1	
0	1	0	1
0	1	1	
1	0	0	1
1	0	1	1
1	1	0	
1	1	1	

er det praktisk og let at anvende et karnaugh-kort til at reducere udtrykket. Et karnaughkort er en grafisk metode til at reducere ligninger, i stedet for med boolsk algebra.

Et karnaugh-kort er et skema, der fx ser ud som følgende:

C \ B A	00	01	11	10
0				



1				
---	--	--	--	--

Hver variable kan være 0 eller 1. Der er her 3 variable, dvs. i alt $2^3 = 8$ kombinationer.

I viste skema er der netop 8 felter, der hver især refererer til én af de mulige 8 kombinationer.

For skemaet gælder, at man altid bevæger sig lodret, eller vandret. Og for hver gang, man bevæger sig til et andet felt, er der én – og kun én variabel, der ændrer sig. Derfor rækkefølgen ”00, 01, 11, 10”. Dette gælder også hvis man bevæger sig fra et felt længst til højre til det felt der ligger længst til venstre. De ligger ”ved siden af hinanden”. Man kan forestille sig, at skemaet er tegnet på en bold !!

I øverste venstre felt er angivet placeringen af de forskellige variable. Variabelen C er således lodret, hvor øverste række er for $C = 0$, og anden række for $C = 1$

For BA er der en søjle for 00, 01, 11 og 10, svarende til de 4 forskellige kombinationer af de to variable.

Bruges sandhedsskemaet som grund, udfyldes karnaugh-kortet som følgende:

C \ B A	00	01	11	10
0	1			1
1	1	1		

Et 1-tal i en celle betyder, at hele udtrykket, dvs. F skal være høj i den kombination af variablenes tilstand.

Man ser, at fx de to 1-taller ved siden af hinanden i nederste række repræsenterer de to led $C\bar{B}A + C\bar{B}\bar{A}$

Sættes $\bar{C}\bar{B}$ udenfor en parentes, fås $\bar{C}\bar{B}(\bar{A} + A) = \bar{C}\bar{B} \cdot 1 = \bar{C}\bar{B}$

Er der således ”1”-taller placeret ved siden af hinanden, kan udtrykket reduceres.

På skemaet vises dette ved at sætte cirkler eller ellipser om de, der kan ”sløjfes sammen”.

I skemaet ses, at indenfor ”sløjfen” gælder, at udtrykket skal være sandt, eller = 1, og den eneste variabel, der ændrer sig er ”A”. Dvs. at uanset hvad A er, lav eller høj, skal udtrykket stadig være høj, forudsat at B er lav, og C er høj.

Dvs. at hvis B er lav og C er høj, skal hele udtrykket være sandt.

F er altså lig: $F = \bar{B}C + \dots$

I øverste række er der også to ”1”-taller ved siden af hinanden. !! De giver også et bidrag til F.



Her er det B der ændrer sig inden for sløjfen. B skal ikke med, og der fås fra dette led: \overline{CA}

Samlet findes at $F = \overline{BC} + \overline{AC}$

Er karnaugh kortet brugt rigtigt, kan man ikke vha. boolsk algebra reducere et udtryk mere.

De regler der gælder ved brug af karnaugh-kort (K-MAPS) ::

Der kan laves sløjfer om 1, 2, 4, 8 "1"-taller

Sløjferne skal være kvadrater eller rektangler

Først laves de største sløjfer

Der laves så få sløjfer som muligt

Samme "1"-tal må gerne medtages i flere sløjfer

Alle "1"-taller skal "sløjfes" mindst 1 gang.

(Bruges "dont care" må de medtages, men det behøves ikke)

Opgaver:

F1				F2				F3				F4			
C	B	A	F	C	B	A	F	C	B	A	F	C	B	A	F
0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1
0	0	1	1	0	0	1	1	0	0	1	0	0	0	1	1
0	1	0	0	0	1	0	0	0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	1	0	1	1	0	0	1	1	1
1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1
1	0	1	1	1	0	1	0	1	0	1	0	1	0	1	0
1	1	0	0	1	1	0	0	1	1	0	1	1	1	0	1
1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1

Reducer vha. Karnaugh-kort.

Karnaugh-kort med 4 variable:



For 4 variable ser karnaugh-kortet ud som flg.

DC\BA	00	01	11	10
00				
01				
11				
10				

Variablerne DC og BA, som er vist i kortet herover, kan med fordel ombyttes, hvis udgangs-punktet til at udfylde kortet, er ligninger, der er ordnet alfabetisk, ABCD.

DC\BA	00	01	11	10
00	1	1		
01			1	
11			1	
10	1			

DC\BA	00	01	11	10
00	1			1
01				
11				
10	1			1

Der kan på nettet findes elektroniske udgaver af karnaugh-kortet, bla. på min hjemmeside.

Flere opgaver mangler her:

Hvis ikke alle variabler findes i alle led.

Hvis et udtryk som fx $ABC + \overline{BC}$ skal reduceres med karnoughkort, ses, at A ikke optræder i det andet led. Dvs. der faktisk er 2 felter i kortet, hvor det gælder, at B er 1, og C er 0. Altså felterne med værdierne 010 og 110.

Hvis man indsatte udtrykket \overline{BC} i et karnoughkort, og reducerede og fik resultatet ud igen som \overline{BC} , er man nødt til at sætte '1'-taller i to felter. I de felter, der opfylder *10. Stjerne kaldes en 'Dont Care'

Opgave:



Reducer følgende med karnaughkort:

$$F = ABC + \bar{A}\bar{B} + \bar{A}BC + AC$$

$$F = AB + BC + AC + \bar{A}\bar{B}C$$

Karnaughkort med 5 variable

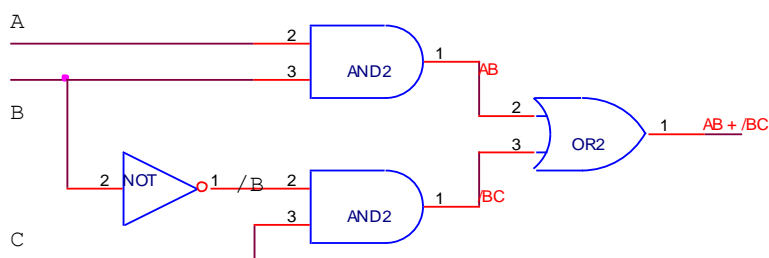
	E				\bar{E}			
AB\CD	00	01	11	10	00	01	11	10
00					00			
01		1	1		01			
11		1	1		11		1	
10			1		10		1	

Et karnaughkort med 5 variable er lidt specielt. Der skal bruges 2 kort, og de skal opfattes som liggende oven på hinanden, dvs. en fodbold inden i en anden fodbold. Det skal stadig være således, at hvis man bevæger sig fra et felt til et andet (ikke på skrå) må én og kun én variabel ændre sig.

Resultatet af ovenstående reducere bliver: $BDE + ACD$

Hazard:

Der haves fx et kredsløb med følgende ligning: $F = AB + \bar{B}C$

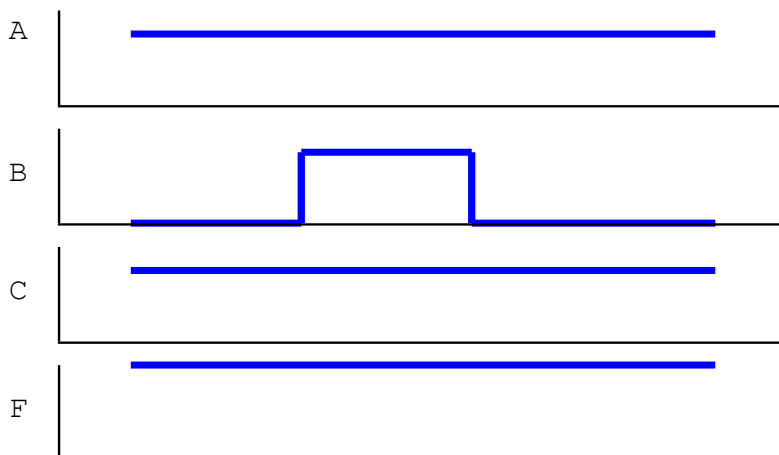


Kredsløbet passer med følgende karnaughkort:

C \ B A	00	01	11	10
0			1	
1	1	1	1	

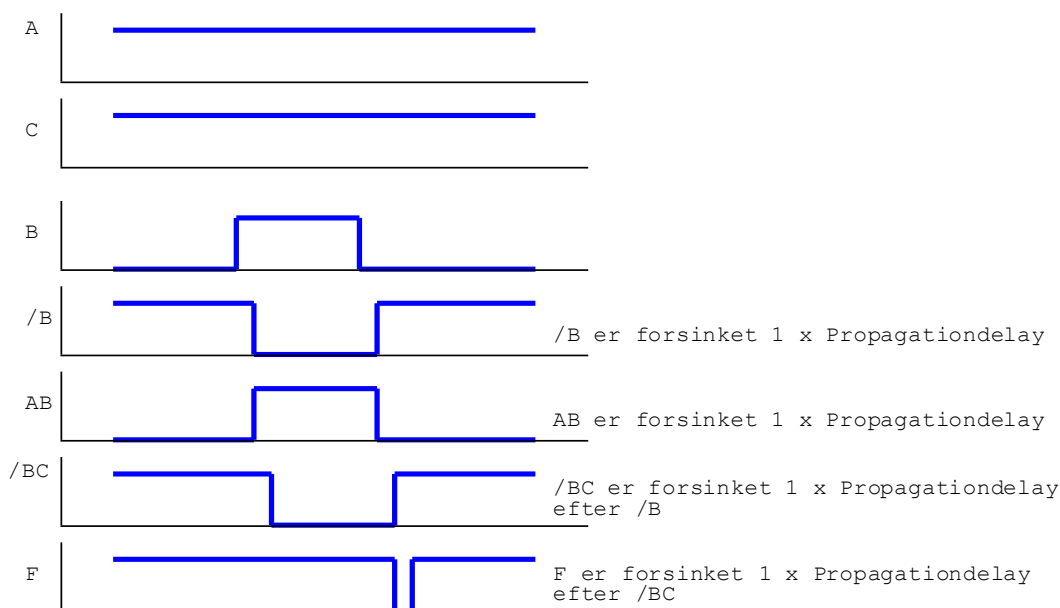


Umiddelbart ser en tidsmæssig pulsediagram ud som følgende:



Men det er desværre således, at der ikke er uendelig hurtig reaktionstid i gatene. Der er en reaktionstid fra indgangen skifter, til udgangen er skiftet. Kaldes **Propagation-delay**.

Regnes med dette fås følgende pulsplan:



Den korte spike er lang nok til at fx en tæller kan reagere på det.

Test ovenstående med WinLogiLab og ORCAD

Problemet kan løses ved at lave en ekstra sløjfe mellem 2 sløjfer, der ligger ved siden af hinanden!!



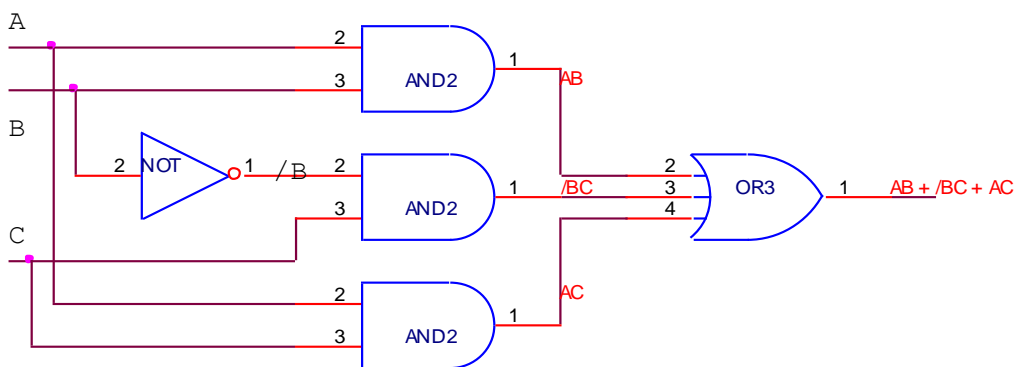
C \ B A	00	01	11	10
0			1	
1	1	1	1	

Resultatet ser nu således ud: $F = \overline{B}C + AB + AC$

Dette kan om-ordnes : $F = \overline{B}C + CA + AB$

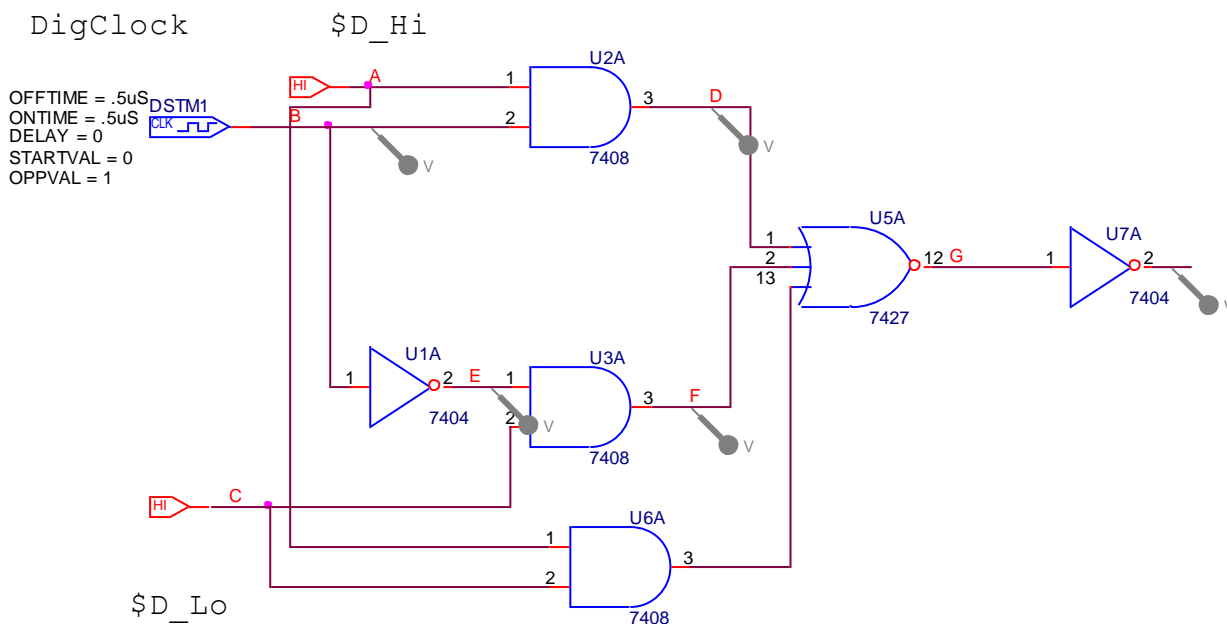
I princippet kan en ligning på denne form reduceres efter de boolske regneregler, men hvis der skal forhindres Hazard – eller glitches – skal det midterste led AC med. Tjek reglen # 16 side 14.

Kredsløbet der ikke giver Hazard ser nu således ud:



Test igen med ORCAD.

I ORCAD kan diagrammet se således ud !!



Husk at vælge "Worst Case" i Simulating settings / Options / Gate Level simulations.